

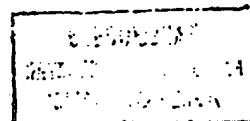


СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

SU 1686449 A2

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИНЦИП СССР

15115 G 06 F 12/00



ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) 1573458
(21) 4753002/24
(22) 23.10.89
(46) 23.10.91. Бюл. № 39
(72) Н. Г. Пархоменко, С. В. Козелков,
В. Ю. Лозбенев и С. С. Карпенко
(53) 681.325(088.8)
(56) Авторское свидетельство СССР
№ 1573458 (положительное решение по
заявке № 4487231/24-24 от 26.09.1988 г.) про-
токол

(54) УСТРОЙСТВО ДЛЯ АДРЕСАЦИИ
(57) Изобретение относится к автоматике и
вычислительной технике и может быть ис-
пользовано в качестве аппаратного модуля
связывания математических и физических

Изобретение относится к автоматике и
вычислительной технике и может быть ис-
пользовано в качестве модуля связывания
логических и физических адресов любых
функционально законченных блоков (про-
цессоров, блоков памяти и т.д.)

Целью изобретения является расшире-
ние функциональных возможностей устрой-
ства за счет придания ему способности
самоконтроля.

На фиг. 1 представлена функциональ-
ная схема устройства (для трех блоков памя-
ти); на фиг. 2 - схема блока контроля.

Устройство содержит группу переключе-
телей 1-3, регистр 4 логического адреса,
дешифратор 5 логического адреса, первую
группу элементов ИЛИ 6, 7, элементы 8 и 9
коммутации первой и второй групп, вход 10
логического адреса, шифратор 11 физиче-
ского адреса, вход 12 физического адреса,
регистр 13 и дешифратор 14 физического

адресов. Цель изобретения - расширение
функциональных возможностей устройства
за счет придания ему способности самокон-
троля. Устройство содержит переключатели
1-3, регистр 4 логического адреса, дешиф-
ратор 5 логического адреса, первую группу
элементов ИЛИ 6, 7, элементы 8, 9 коммута-
ции, шифратор 11 физического адреса, ре-
гистр 13 физического адреса, вторую группу
элементов ИЛИ 15, 16, шифратор 17 логиче-
ского адреса, блоки 20 и 21 контроля, выво-
дной элемент ИЛИ 22. Устройство может
использоваться не только как устройство
для адресации, но и как устройство связыва-
ния математических и физических адресов в
отказоустойчивых вычислительных систе-
мах. 1 з.п. ф-лы, 2 ил.

адреса, вторую группу элементов ИЛИ 15 и
16, шифратор 17 логического адреса, выход
18 логического адреса, вход 19 физического
адреса, блоки 20 и 21 контроля, выходной
элемент ИЛИ 22, выход 23 признака неисп-
равности, вход 24 "Контроль 1", вход 25
"Контроль 2". Каждый блок контроля (см.
фиг. 2) содержит мультимплексор 26, демуль-
типлексор 27, схему 28 сравнения и элемент
ИЛИ 29, первый 30 и второй 31 информаци-
онные входы, первый 32 и второй 33 инфор-
мационные выходы, вход 34 начала работы,
управляющий вход 35, выход 36 признака
неисправности.

Устройство работает следующим обра-
зом.

Сразу же после подачи питания начина-
ется сеанс коммутации в матрице (элементы
6-9, 15, 16) в соответствии с сигналами пе-
реключателей 1-3. Сигнал высокого уровня
(ВУ) на выходе переключателей 1-3 соответ-

SU 1686449 A2

FI 009078

стпует состоянию "Блок включен/исправен", сигнал низкого уровня/НУ/ - "Блок выключен/неисправен". После завершения переходных процессов в матричном коммутаторе устройство готово к работе в режиме связывания логических и физических адресов (ЛА и ФА). При этом преобразования ЛА - ФА и ФА - ЛА происходят совершенно независимо друг от друга: ЛА, поступающий вход 10, преобразуется в ФА на выходе 12, а ФА с входа 19 - в ЛА на выходе 18. В те моменты времени, когда центральный процессор не использует связанный адрес (после его захвата), устройство может переводиться в один из двух режимов контроля. Режимы эти отличаются друг от друга только тем, какой адрес является контрольным - ЛА на входе 10 ("Контроль 1") или ФА на входе 19 ("Контроль 2").

Режимы задаются следующим образом.

Вход 24	Вход 25	
0	0	Режим внешних обращений
1	0	"Контроль 1"
0	1	"Контроль 2"
1	1	Запрещенная комбинация

Рассмотрим режим "Контроль 1". В этом случае сигнал ВУ на входе 24 через вход начала работы первого БК 20 разрешает работу схемы 28 сравнения БК 20. Тот же сигнал ВУ на входе 24 через управляющий вход второго БК 21, во-первых, поступая на управляющий вход мультиплексора 26, делает возможным прохождение ФА с выхода шифратора ФА 11 на первый информационный выход БК 21 и, во-вторых, поступая на управляющий вход демультиплексора 27, направляет сигнал с его входа на его первый выход. (Сигнал ВУ /НУ/ на управляющем входе мультиплексора 26 означает соединение его выхода с его вторым (первым) входом; сигнал ВУ /НУ/ на управляющем входе демультиплексора 27 означает соединение его входа с его первым (вторым) выходом). Поскольку в режиме "Контроль 1" сигнал на входе 25 имеет НУ, то схема сравнения 28 второго БК 21 не работает. Таким образом, в режиме "Контроль 1" второй БК разрешает поступление на вход регистра 13 ФА, физического адреса, поступающего с выхода шифратора 11, и одновременно с этим, обеспечивает отключение выхода 12 и входа 19 от остальной схемы. В первом БК (блок 20) осуществляется сравнение логического адреса, поступающего с входа 10, с логическим адресом, снимаемым с выхода шифратора 17. Так происходит контрольное преобразование ЛА ФА и обратное преоб-

разование ФА ЛА со сравнением исходного и полученного ЛА. Аналогично, в режиме "Контроль 2" первый БК обеспечивает поступление на вход регистра 4 логического адреса, поступающего с выхода шифратора 17, и одновременно с этим, отключение выхода 18 и входа 10 от остальной схемы. Во втором БК осуществляется сравнение ФА, поступающего с входа 19, с ФА, снимаемым с выхода шифратора 11. Так происходят контрольные преобразования ФА ЛА и обратное преобразование ЛА ФА (со сравнением исходного и полученного ФА). Сигнал неисправности, снимаемый в режиме "Контроль 1" с выхода БК 20, а в режиме "Контроль 2" - с выхода БК 21, поступает через элемент ИЛИ 22 на выход 23 устройства и используется как флаг - признак неисправности устройства для адресации.

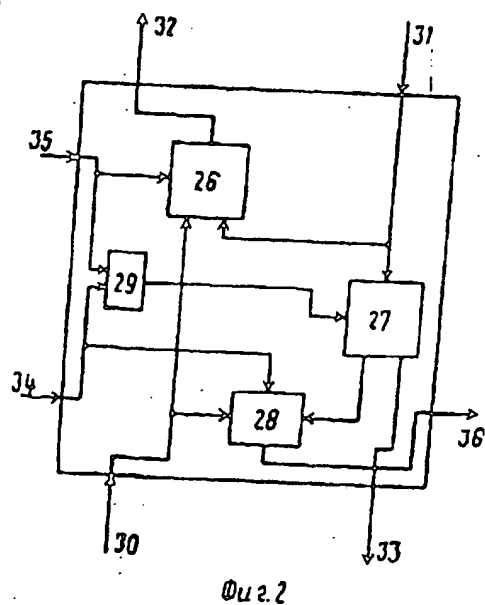
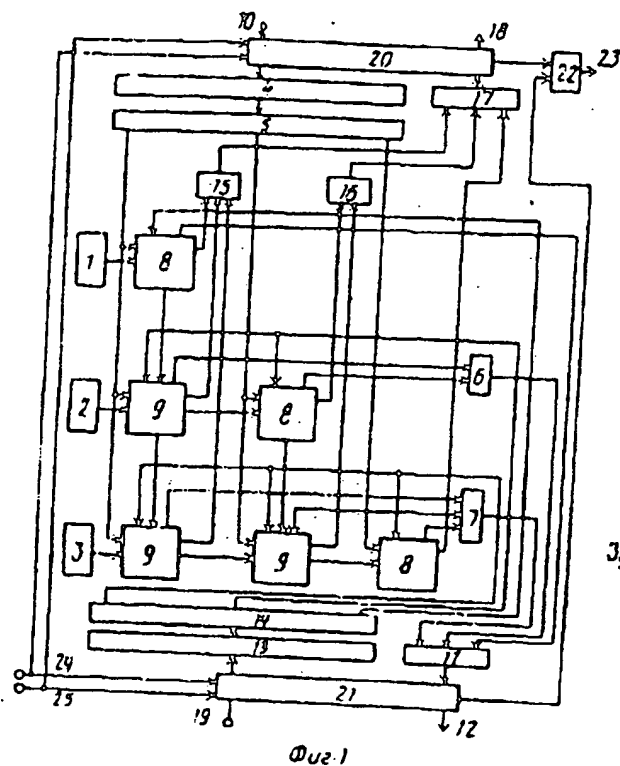
Формула изобретения

1. Устройство для адресации по авт. св. № 1573458, отличающееся в том, что: с целью расширения функциональных возможностей за счет придания ему способности самоконтроля, в него введены два блока контроля и выходной элемент ИЛИ, причем входы логического и физического адресов устройства соединены с первыми информационными входами первого и второго блоков контроля соответственно, первые информационные выходы которых соединены с информационными входами регистров логического и физического адресов соответственно, а вторые информационные выходы являются соответственно выходами логического и физического адресов устройства, вторые информационные входы блоков контроля соединены соответственно с выходами шифраторов логического и физического адресов, вход начала работы первого блока контроля и управляющий вход второго блока контроля объединены и являются входом "Контроль 1" устройства, управляющий вход первого блока контроля и вход начала работы второго блока контроля объединены и являются входом "Контроль 2" устройства, выходы признаков неисправности блоков контроля соединены с входами выходного элемента ИЛИ, выход которого является выходом признака неисправности устройства.

2. Устройство по п.1, отличающееся в том, что блок контроля содержит мультиплексор, демультиплексор, схему сравнения и элемент ИЛИ, причем вход начала работы блока соединен с первым входом элемента ИЛИ и с управляющим входом схемы сравнения, управляющий вход блока соединен с вторым входом элемента ИЛИ и с управляющим входом мульт-

типплексора, выход которого является первым информационным выходом блока. Первый информационный вход которого соединен с первым информационным входом мультиплексора и первым входом схемы сравнения, выход которой является выходом признака неисправности блока. Второй информационный вход которого со-

единен с вторым информационным входом мультиплексора и информационным входом демультиплексора, первый выход которого соединен с вторым входом схемы сравнения, управляющий вход - с выходом элемента ИЛИ, а второй выход является вторым информационным выходом блока.



Редактор Т. Шагова

Составитель А. Баркина
Техред М. Моргентал

Корректор М. Демчина

Заявка 3599

Тираж

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101

FH 009080

Annex 20

SU No 1686449, published October 23, 1991

Specification of Invention to Certificate of Authorship 1686449 A1

[61] 1573458

[21] 4753002/24

[22] Filed: Oct. 23, 1989

[46] Oct. 23, 1991, Bulletin No 39

[72] Inventors: N.G. Parkhomenko, S.B. Kozelkov, V.Yu. Lozbenov and
S.S. Karpenko

[19] SU [11] 1686449 A1

[51] Int. Cl.³ G 06 F 12/00

[53] UDC 681.325 (088.8)

[54] AN ADDRESSING DEVICE

[57] The invention relates to the automatics and computer engineering and may be used as an hardware module to bind the mathematical and physical addresses. An object of the invention is in widening the functional possibilities of the device by providing a self-test ability. The device comprises switches 1 - 3, logical address register 4, logical address decoder 5, the first group of elements OR 6, 7, elements 8, 9 to switch physical address decoder 11, physical address register 13, the second group of elements OR 15, 16, logical address encoder 17, test units 20, 21, output element OR 22. The device can be used not only as an addressing device, but also as one binding the mathematical addresses to physical ones in fault-tolerant computer systems.

The device operates as follows.

As soon as the power is on the switching session starts in the array (elements 6 - 9, 15, 16) in accordance with the signals of switches 1 - 3. High-level signal at switches 1 - 3 outputs corresponds to state "Unit on/perfect", low-level signal corresponds to state "Unit off/failed".

As soon as the transients are completed in array switch the device is available to operate in the mode of binding the logical and physical addresses. Logical address/physical address and physical address/ logical address mappings are independent from one another: a logical address, transmitted to input 10 is mapped to a physical address at output 12, and a physical address at input 19 is mapped to a logical address at output 18. When the central processor does not use the bound addresses (upon its capture), the device can be switched over to one of two test modes. The only difference between these modes is in the

fact which address is reference - logical address at input 10 ("reference 1") or physical address at input 19 ("reference 2").

FH 009081

The modes are predetermined in the manner as follows.

Input 24	Input 25	
0	0	Mode of external calls
1	0	"Reference 1"
0	1	"Reference 2"
1	1	Illegal combination

FH 009082